

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月25日

出願番号

Application Number:

特願2002-216661

[ST.10/C]:

[JP2002-216661]

出願人

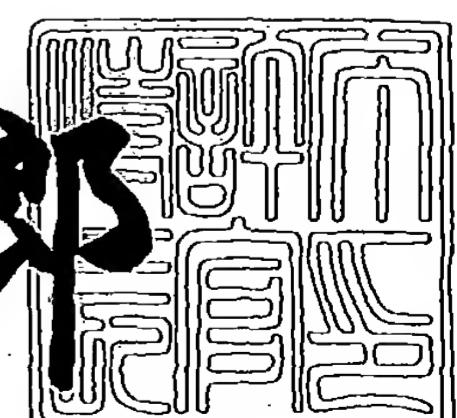
Applicant(s):

セイコーエプソン株式会社

2003年 4月 1日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3022915

【書類名】 特許願

【整理番号】 EP-0358701

【提出日】 平成14年 7月25日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/00

【発明者】

【住所又は居所】 山形県酒田市十里塚166番地3 東北エプソン株式会社内

【氏名】 上林 葉月

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100090479

【弁理士】

【氏名又は名称】 井上 一

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090387

【弁理士】

【氏名又は名称】 布施 行夫

【電話番号】 03-5397-0891

【選任した代理人】

【識別番号】 100090398

【弁理士】

【氏名又は名称】 大渕 美千栄

【電話番号】 03-5397-0891

【手数料の表示】

【予納台帳番号】 039491

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9402500

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法、回路基板並びに電子機器

【特許請求の範囲】

【請求項1】 配線パターンを有する基板に電極を有する半導体チップを搭載し、前記電極と前記配線パターンとを電気的に接続する導電層を、前記半導体チップの側面を通るように形成することを含む半導体装置の製造方法。

【請求項2】 請求項1記載の半導体装置の製造方法において、前記半導体チップをフェースアップボンディングすることを含む半導体装置の製造方法。

【請求項3】 配線パターンを有する基板に、電極を有する複数の半導体チップを積層し、いずれかの半導体チップの前記電極と前記配線パターンとを電気的に接続する導電層を、少なくとも1つの半導体チップの側面を通るように形成することを含む半導体装置の製造方法。

【請求項4】 請求項3記載の半導体装置の製造方法において、前記複数の半導体チップをフェースアップボンディングすることを含む半導体装置の製造方法。

【請求項5】 請求項3又は請求項4記載の半導体装置の製造方法において前記複数の半導体チップのうち、第1の半導体チップに、前記第1の半導体チップよりも小さい第2の半導体チップを搭載することを含む半導体装置の製造方法。

【請求項6】 請求項3から請求項5のいずれかに記載の半導体装置の製造方法において、

前記複数の半導体チップのうち、1つの半導体チップの前記電極と他の半導体チップの前記電極とを電気的に接続する第2の導電層を、少なくとも1つの半導体チップの側面を通るように形成することをさらに含む半導体装置の製造方法。

【請求項7】 請求項3記載の半導体装置の製造方法において、前記複数の半導体チップのうち、第1の半導体チップを前記基板にフェースダ

ウンボンディングし、第2の半導体チップを前記第1の半導体チップにおける前記電極が形成された側とは反対側にフェースアップボンディングすることを含む半導体装置の製造方法。

【請求項8】 請求項1から請求項7のいずれかに記載の半導体装置の製造方法において、

導電性材料の微粒子を含む溶媒を吐出して、前記導電層を形成する半導体装置の製造方法。

【請求項9】 配線パターンを有する基板と、
電極を有し、積み重ねられてなる複数の半導体チップと、
いずれかの半導体チップの前記電極と前記配線パターンとを電気的に接続し、
少なくとも1つの半導体チップの側面を通りるように形成されてなる導電層と、
前記複数の半導体チップのうち、1つの半導体チップの前記電極と他の半導体チップの前記電極とを電気的に接続し、少なくとも1つの半導体チップの側面を通りように形成されてなる第2の導電層と、
を有する半導体装置。

【請求項10】 請求項9記載の半導体装置において、
前記複数の半導体チップはフェースアップボンディングされてなる半導体装置

【請求項11】 請求項10記載の半導体装置において、
前記複数の半導体チップのうち、第1の半導体チップには、前記第1の半導体チップよりも小さい第2の半導体チップが搭載されてなる半導体装置。

【請求項12】 請求項9記載の半導体装置において、
前記複数の半導体チップのうち、第1の半導体チップは前記基板にフェースダウンボンディングされてなり、第2の半導体チップは前記第1の半導体チップにおける前記電極が形成された側とは反対側にフェースアップボンディングされてなる半導体装置。

【請求項13】 請求項9から請求項12のいずれかに記載の半導体装置が実装されてなる回路基板。

【請求項14】 請求項9から請求項12のいずれかに記載の半導体装置を

有する電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法、回路基板並びに電子機器に関する。

【0002】

【発明の背景】

従来、複数の半導体チップを積層して形成する、いわゆるスタックド型の半導体装置において、半導体チップの電極同士、あるいは半導体チップの電極と基板の電極と、をワイヤーによって電気的に接続していた。

【0003】

しかしこの場合、ワイヤーがループ状に形成されるため、半導体装置が厚くなることがあった。また、多数の電極が存在する場合、半導体装置が大型化することがあった。

【0004】

本発明はこの問題を解決するためのものであり、その目的は、実装性に優れた半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある。

【0005】

【課題を解決するための手段】

(1) 本発明に係る半導体装置の製造方法は、
配線パターンを有する基板に電極を有する半導体チップを搭載し、前記電極と前記配線パターンとを電気的に接続する導電層を、前記半導体チップの側面を通りように形成することを含む。

【0006】

本発明によれば、半導体チップの側面を通りように導電層が形成される。そのため、半導体装置が大型化することができなく、実装性に優れた半導体装置を製造することができる。

【0007】

(2) この半導体装置の製造方法において、

前記半導体チップをフェースアップボンディングすることを含んでもよい。

【0008】

(3) 本発明に係る半導体装置の製造方法は、
配線パターンを有する基板に、電極を有する複数の半導体チップを積層し、い
ずれかの半導体チップの前記電極と前記配線パターンとを電気的に接続する導電
層を、少なくとも1つの半導体チップの側面を通るように形成することを含む。

【0009】

本発明によれば、半導体チップの側面を通るように導電層が形成される。その
ため、複数の半導体チップが積層された場合でも半導体装置が大型化するこ
となく、実装性に優れた半導体装置を製造することができる。

【0010】

(4) この半導体装置の製造方法において、
前記複数の半導体チップをフェースアップボンディングすることを含んでもよ
い。

【0011】

(5) この半導体装置の製造方法において、
前記複数の半導体チップのうち、第1の半導体チップに、前記第1の半導体チ
ップよりも小さい第2の半導体チップを搭載することを含んでもよい。

【0012】

(6) この半導体装置の製造方法において、
前記複数の半導体チップのうち、1つの半導体チップの前記電極と他の半導
体チップの前記電極とを電気的に接続する第2の導電層を、少なくとも1つの半導
体チップの側面を通るように形成することをさらに含んでもよい。

【0013】

(7) この半導体装置の製造方法において、
前記複数の半導体チップのうち、第1の半導体チップを前記基板にフェースダ
ウンボンディングし、第2の半導体チップを前記第1の半導体チップにおける前
記電極が形成された側とは反対側にフェースアップボンディングすることを含ん
でもよい。

【0014】

(8) この半導体装置の製造方法において、導電性材料の微粒子を含む溶媒を吐出して、前記導電層を形成してもよい。

【0015】

これによれば、導電層を高密度に形成することができるため、小型で、実装性に優れた半導体装置を製造することができる。

【0016】

(9) 本発明に係る半導体装置は、配線パターンを有する基板と、電極を有し、積み重ねられてなる複数の半導体チップと、いずれかの半導体チップの前記電極と前記配線パターンとを電気的に接続し、少なくとも1つの半導体チップの側面を通るように形成されてなる導電層と、前記複数の半導体チップのうち、1つの半導体チップの前記電極と他の半導体チップの前記電極とを電気的に接続し、少なくとも1つの半導体チップの側面を通るように形成されてなる第2の導電層と、を有する。

【0017】

本発明によれば、導電層が半導体チップの側面に形成される。そのため、複数の半導体チップを積層した場合でも半導体装置が大型化する事なく、実装性に優れた半導体装置を提供することができる。

【0018】

(10) この半導体装置において、前記複数の半導体チップはフェースアップボンディングされてもよい。

【0019】

(11) この半導体装置において、前記複数の半導体チップのうち、第1の半導体チップには、前記第1の半導体チップよりも小さい第2の半導体チップが搭載されてもよい。

【0020】

(12) この半導体装置において、

前記複数の半導体チップのうち、第1の半導体チップは前記基板にフェースダウンボンディングされてなり、第2の半導体チップは前記第1の半導体チップにおける前記電極が形成された側とは反対側にフェースアップボンディングされてもよい。

【0021】

(13) 本発明に係る回路基板には、上記半導体装置が実装されている。

【0022】

(14) 本発明に係る電子機器は、上記半導体装置を有する。

【0023】

【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。ただし、本発明は、以下の実施の形態に限定されるものではない。

【0024】

(第1の実施の形態)

図1～図4は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を説明するための図である。

【0025】

はじめに、基板10を用意する。基板10は配線基板又はインターポーラと称してもよい。基板10の平面形状は矩形であることが一般的であるがこれに限られない。また、基板10の全体形状についても、特に限定されない。また、基板10の厚みも限定されない。

【0026】

基板10の材料は、有機系又は無機系のいずれの材料であってもよく、これらの複合構造からなるものであってもよい。基板10として、例えばポリエチレンテレフタレート(PET)からなる基板またはフィルムを使用してもよい。あるいは、基板10としてポリイミド樹脂からなるフレキシブル基板を使用してもよい。フレキシブル基板としてFPC(Flexible Printed Circuit)や、TAB(Tape Automated Bonding)技術で使用されるテープを使用してもよい。また、無機系の材料から形成された基板10として、例えばセラミック基板やガラス基板があげられ

る。有機系及び無機系の材料の複合構造として、例えばガラスエポキシ基板があげられる。また、基板10として、多層基板やビルドアップ型基板を用いてよい。

【0027】

基板10は、配線パターン12を有してもよい。図1に示すように、配線パターン12は、基板10における半導体チップが搭載される側とは反対側の面にのみ形成されてもよい。ただし、これに限定されるものではなく、基板10の両面に配線パターンが形成されてもよい。配線パターン12は、複数層から構成してもよい。例えば、銅(Cu)、クロム(Cr)、チタン(Ti)、ニッケル(Ni)、チタンタングステン(Ti-W)のうちのいずれかを積層して配線パターン12を形成することができる。配線パターン12は、フォトリソグラフィ、スパッタ、又はメッキ処理によって形成してもよい。また、配線パターン12の一部は、配線となる部分よりも面積の大きいランド部(図示せず)となっていてよい。配線パターン12の表面には、外部端子14と接触する部分を避けて、絶縁膜(図示せず)を形成してもよい。

【0028】

基板10は、貫通孔19を有してもよい。貫通孔19によって、基板10の両方の面を電気的に導通することができる。そのため、基板10における配線パターン12の形成面にかかわらず、基板10の両方の側から配線パターン12との電気的接続を図ることができる。

【0029】

図1に示すように、本実施の形態に係る基板10は、配線パターン12が形成された面とは反対の面にランド16を有してもよい。言い換えると、基板10における半導体チップ20が搭載される側の面に、ランド16を形成してもよい。ランド16は、基板10の中央部を避けて、端部に形成してもよい。すなわち、ランド16は、半導体チップの搭載領域を避けて形成してもよい。配線パターン12とランド16とは電気的に接続されてもよい。図1に示す例では、基板10にはスルーホール18が形成されており、配線パターン12とランド16とは、スルーホール18を介して電気的に接続されている。

【0030】

次に、基板10に複数の半導体チップ20、30、40を搭載する。ここで、上下に積層される関係にある任意の2つの半導体チップを指して、第1の半導体チップ20、第2の半導体チップ30と称してもよい。また、搭載される半導体チップの数は特に限定されない。

【0031】

基板10に第1の半導体チップ20を搭載してもよい。第1の半導体チップ20は、例えばフラッシュメモリ、SRAM、DRAM、ASIC又は、MPU等であってもよい。第1の半導体チップ20の平面形状は、多くの場合矩形（正方形又は長方形）をなす。

【0032】

第1の半導体チップ20の一方の面（能動面）には、複数の電極22が形成されている。電極22は、例えばアルミニウム又は銅等で、第1の半導体チップ20に薄く平らに形成してもよい。電極22の平面形状は、矩形又は円形であってもよく、その形状は限定されない。あるいは、パッドにバンプを形成して電極22としてもよい。この場合、バンプは無電解メッキで形成してもよいし、ワイヤーボンディングによって形成するボールバンプであってもよい。また、パッドとバンプとの間にバンプ金属の拡散防止層として、ニッケル、クロム、チタンなどを付加してもよい。電極22は、第1の半導体チップ20の能動面の少なくとも一辺（多くの場合、平行な2辺又は4辺）に沿って並んでいてもよい。また、電極22は、第1の半導体チップ20の能動面の中央部を避け、端部に形成してもよい。

【0033】

第1の半導体チップ20の能動面には、電極22の一部を避けて、パッシベーション膜24が形成されてもよい。パッシベーション膜24は例えば、 SiO_2 、 SiN 、ポリイミド樹脂等で形成することができる。さらに、パッシベーション膜24の表面及び半導体チップの側面に絶縁層26を形成してもよい。

【0034】

第1の半導体チップ20を、基板10にフェースアップボンディングしてもよ

い。このとき、接着剤28を利用して、半導体チップ20を基板10に固定してもよい。例えば、接着剤28を基板10に設け、半導体チップ20をフェースアップボンディングした後に、接着剤28がその接着力を発現するための処理（熱処理など）を行って、半導体チップ20を基板10に固定してもよい。接着剤28は、絶縁性のものでもよい。また、接着剤28は、ペースト状であってもよく、あるいはフィルム状のものであってもよい。接着剤28の性質及び形態は特に限定されない。

【0035】

本実施の形態に係る半導体装置は、基板10に複数の半導体チップ20、30、40を積層して形成される、いわゆるスタックド型の半導体装置であってもよい。すなわち、第1の半導体チップ20に他の半導体チップを搭載してもよい。図1に示すように、第1の半導体チップ20に第2の半導体チップ30を搭載してもよく、さらに、第2の半導体チップ30に半導体チップ40を搭載してもよい。このとき、積層される半導体チップの数は特に限定されない。また、あらかじめ複数の半導体チップ20、30、40を積層し、これを基板10に搭載してもよい。前述した接着剤28によって、半導体チップ30、40を固定してもよい。

【0036】

半導体チップ30、40は、例えば形状及び電極の配置等について、第1の半導体チップ20と同じ形態であってもよい。すなわち、半導体チップ30、40は複数の電極32、42を有してもよい。また、その能動面にはパッシベーション膜34、44が形成されてもよく、パッシベーション膜34、44の表面及び半導体チップ30、40の側面に絶縁層36、46が形成されてもよい。また、複数の半導体チップ30、40の内容は、第1の半導体チップ20と同様であってよく、その組み合わせとして、例えば、ASICとフラッシュメモリとSRAM、SRAM同士、DRAM同士、あるいはフラッシュメモリとSRAMなどがあげられる。

【0037】

図1に示すように、本実施の形態に係る半導体装置の製造方法においては、積

層される全ての半導体チップ20、30、40を、フェースアップボンディングしてもよい。このとき、第2の半導体チップ30は第1の半導体チップ20よりも小さくてもよいが、これに限定されるものではない。

【0038】

次に、半導体チップの電極とランド16とを電気的に接続する導電層を、半導体チップの側面を通りるように形成する。詳しくは、図2に示すように、全ての電極22、32、42とランド16とを電気的に接続する導電層50を、絶縁層26、36、46の表面を通りるように形成してもよい。あるいは、電極32、42とランド16とを電気的に接続する導電層51を、絶縁層26の側面を通りように形成してもよい。あるいは、電極22、42とランド16とを電気的に接続する導電層52を、絶縁層26、36、46の表面を通りように形成してもよい。あるいは、電極42とランド16とを電気的に接続する導電層53を、絶縁層26、36、46の表面を通りように形成してもよい。あるいは、電極22、32とランド16とを電気的に接続する導電層54を、絶縁層26、36の表面を通りように形成してもよい。あるいは、電極32とランド16とを電気的に接続する導電層55を、絶縁層26、36の表面を通りように形成してもよい。あるいは、電極22とランド16とを電気的に接続する導電層56を、絶縁層26の表面を通りように形成してもよい。

【0039】

導電層50～56は、導電性材料の微粒子を含む溶媒の吐出によって形成してもよい。例えば、インクジェット法によって、導電性材料の微粒子を含む溶媒の液滴を吐出させて導電層50～56を形成してもよい。詳しくは、図3及び図4に示すインクジェットヘッド60から、液体とほとんど同じ挙動を見せる導電性材料の微粒子を含む溶媒の液滴を吐出させて、導電層50～56を形成してもよい。ここで、導電性材料の微粒子を含む溶媒として、真空冶金株式会社製「パーフェクトゴールド」「パーフェクトシルバー」を使用してもよい。

【0040】

図3及び図4に示すインクジェットヘッド60は、静電アクチュエータの構造を有し、詳しくはマイクロマシニング技術による微細加工技術を用いて形成され

た微小構造のアクチュエータを有する。このような微小構造のアクチュエータとしては、その駆動源として静電気力を用いている。インクジェットヘッド60は、静電気力をを利用してノズル62から液滴64を吐出させる。なお、図3はインクジェットヘッド60の断面を含む図であり、図4はインクジェットヘッド60の内部構造を説明するための平面図である。

【0041】

詳しく説明すると、ノズル62に連通するインク流路66の底面が、弾性変形可能な振動子となる振動板68として形成され、振動板68には所定の間隔でガラス基板70が対向して配置され、ガラス基板70上には配線パターン72が形成されている。そして、配線パターン72に電圧を印加すると、配線パターン72と振動板68の間に静電気力が発生し、振動板68はガラス基板70側に静電吸引されて振動する。この振動板68の振動によって、インク流路66の内圧変動でノズル62から液滴64が吐出される。

【0042】

インクジェットヘッド60は、インク流路66が形成されたシリコン基板74を挟んで、上側にシリコン製のノズルプレート76が配置され、下側にホウ珪酸ガラス製のガラス基板70が配置されることで3層構造をなしている。

【0043】

3層構造の中央部に配置されたシリコン基板74には、独立した複数のインク室78と、各インク室78に連通する共通インク室80と、各インク室78と共通インク室80とを接続するインク供給路82と、がエッチングによって溝として形成される。これらの溝は、ノズルプレート76によって塞がれ、各部分が区画形成されている。また、シリコン基板74におけるこれらの溝が形成された面とは反対の面には、エッチングによって、各インク室78に独立した振動室84が形成されている。

【0044】

なお、共通インク室80には、図示しないインクタンクから導電性材料の微粒子を含む溶媒を供給するためのインク供給口86が形成されている。

【0045】

ノズルプレート76には、各インク室78に対応する位置にノズル62が形成され、ノズル62は各インク室68に連通する。そして、各インク室68に形成された振動室84によって、各ノズル62から液滴64が吐出する。

【0046】

なお、封止部88は、ガラス基板70の配線パターン72と、シリコン基板76との間に形成される隙間を封止するためのものである。

【0047】

このようなインクジェットヘッド60によって、導電性材料の微粒子を含む溶媒を液滴64として吐出させて、導電層50を形成してもよい。例えば、液滴64が絶縁層26、36、46に垂直に吐出されるようにインクジェットヘッド60を調整して、絶縁層26、36、46の表面に導電層50を形成してもよい。この場合、液滴64が半導体チップ20、30、40に垂直に吐出されるようにインクジェットヘッド60を再調整して、半導体チップ20、30、40の表面に導電層50を形成してもよい。また、これとは別に、液滴64が半導体チップ20、30、40に対して斜め方向に吐出されるようにインクジェットヘッド60を調整して、導電層50を形成してもよい。

【0048】

なお、以上に説明したインクジェットヘッド60の構成は一例であり、これに限定されるものではない。また、導電性材料の微粒子を含む溶媒を吐出させる機構は、インクジェットヘッドに限られない。

【0049】

同様にして、複数の電極22、32、42同士を電気的に接続する第2の導電層を、半導体チップの側面を通り形成してもよい。詳しくは、図2に示すように電極22と電極32とを電気的に接続する第2の導電層57を、絶縁層36の表面を通り形成してもよい。あるいは、電極22と電極42とを電気的に接続する第2の導電層58を、絶縁層36、46の表面を通り形成してもよい。あるいは、電極32と電極42とを電気的に接続する第2の導電層59を、絶縁層46の表面を通り形成してもよい。

【0050】

次に、基板10に外部端子14を形成する。図1に示す例では、外部端子14は配線パターン12上に形成されており、配線パターン12（スルーホール18）を介してランド16と電気的に接続されている。外部端子14として、ハンダボール等を利用することができる。図1に示すように、外部端子14を半導体チップ20の搭載領域内に形成して、Fan-In型としてもよい。あるいは、外部端子14を半導体チップ20の搭載領域の外側のみに形成して、Fan-Out型としてもよい。あるいは、外部端子14を半導体チップ20の搭載領域の内側及び外側に形成して、Fan-In/Out型としてもよい。

【0051】

以上の工程によって、半導体装置1を製造することができるが、半導体装置1の製造方法は、これに限られるものではない。例えば、基板10に、第1の半導体チップ20のみを搭載して半導体装置を製造してもよく、あるいは、第2の導電層57～59を形成することなく、半導体装置を製造してもよい。

【0052】

図1及び図2に示すように、本実施の形態に係る導電層50～56、あるいは第2の導電層57～59は、絶縁層26、36、46の表面に形成されてなる。これにより、導電層50～56、あるいは第2の導電層57～59は、半導体チップ20、30、40の側面を通るように形成されるため半導体装置が大型化する事がない。また、導電性材料の微粒子を含む溶媒を吐出して導電層50～56、あるいは第2の導電層57～59を形成することで、これを微細配線することができるため、小型の半導体装置を製造することができる。

【0053】

以上の工程によって形成された半導体装置1は、配線パターン12を有する基板10を有する。半導体装置1は、電極22、32、42を有し、積み重ねられてなる複数の半導体チップ20、30、40を有する。積み重ねられた半導体チップ20、30、40は、基板10に搭載される。また、半導体装置1は、半導体チップ20、30、40の側面を通るように形成された導電層50～56を有する。さらに、半導体装置1は、第2の導電層57～59を有する。

【0054】

(第2の実施の形態)

図5は、本発明を適用した第2の実施の形態に係る半導体装置の製造方法を説明するための図である。なお、本実施の形態でも、第1の実施の形態で説明した内容を可能な限り適用することができる。

【0055】

はじめに、基板10を用意する。図5に示すように、本実施の形態に係る基板10は、その両面に配線パターンが形成されてもよい。すなわち、基板10における半導体チップが搭載される側に、配線パターン13が形成されてもよい。配線パターン12と配線パターン13とは、電気的に接続されていてもよく、図5に示す例では、スルーホール18によって、両者は電気的に接続されている。

【0056】

次に、基板10に第1の半導体チップ90及び第2の半導体チップ100を搭載する。ここで、第1の半導体チップ90及び第2の半導体チップ100は、例えば形状及び電極の配置等について、第1の実施の形態において説明した第1の半導体チップ20と同じ形態であってもよい。すなわち、半導体チップ90、100は複数の電極92、102を有してもよい。また、その能動面にはパッシベーション膜94、104が形成されてもよく、パッシベーション膜94、104の表面及び半導体チップ90、100の側面に絶縁層96、106が形成されてもよい。また、複数の半導体チップ90、100の内容は、第1の半導体チップ20と同様であってよく、その組み合わせとして、例えば、ASICとフラッシュメモリとSRAM、SRAM同士、DRAM同士、あるいはフラッシュメモリとSRAMなどがあげられる。

【0057】

基板10に、第1の半導体チップ90を搭載してもよい。第1の半導体チップ90を、基板10にフェースダウンボンディングして、配線パターン13と電極92とを電気的に接続してもよい。接着剤120によって、第1の半導体チップ90を基板10に固定してもよい。本実施の形態では、接着剤120として異方性導電材料を使用してもよい。すなわち、異方性導電材料に含まれる導電粒子（図示せず）によって、配線パターン13と電極92とを電気的に接続してもよい。

。接着剤120は、シート状の異方性導電膜であってもよいし、ペースト状の異方性導電ペーストであってもよい。接着剤120のバインダとして、熱硬化性の樹脂（例えばエポキシ系）を使用してもよい。ただし、これとは別に、前述の接着剤28を利用して、第1の半導体チップ90を基板10に固定してもよい。

【0058】

次に、第1の半導体チップ90に第2の半導体チップ100を搭載してもよい。第1の半導体チップ90に、第2の半導体チップ100をフェースアップボンディングしてもよい。詳しくは、第1の半導体チップ90における電極92が形成される側とは反対側に、第2の半導体チップ100をフェースアップボンディングしてもよい。第2の半導体チップ100を、前述の接着剤28を利用して第1の半導体チップ90に固定してもよい。

【0059】

ただし、半導体チップの積層方法はこれに限られず、例えば、あらかじめ第1の半導体チップ90に第2の半導体チップ100をフェースアップボンディングし、これを基板10に搭載してもよい。

【0060】

次に、電極102と配線パターン13とを電気的に接続する導電層110を形成する。導電層110を、第1の半導体チップ90及び第2の半導体チップ100の側面を通りるように形成してもよい。すなわち、導電層110を絶縁層96、106の表面を通りように形成してもよい。あるいは、導電層110を、接着剤120の表面を通りように形成してもよい。導電層110は第1の実施の形態で説明した方法によって形成することができる。

【0061】

以上の工程によって、半導体装置2を製造することができる。ただし、半導体装置2の製造方法は、これに限られるものではない。

【0062】

図5に示すように、本実施の形態に係る導電層110は、絶縁層96、106、あるいは接着剤120の表面に形成されてなる。これにより、導電層110は、半導体チップ90、100の側面を通りように形成されるため半導体装置が大

型化することができない。また、導電性材料の微粒子を含む溶媒を吐出して導電層110を形成することで、これを微細配線することができるため、小型の半導体装置を製造することができる。

【0063】

以上の工程によって製造された半導体装置2は、配線パターン12、13を有する基板10を有する。半導体装置2は、電極92を有し、基板10にフェースダウンボンディングされてなる第1の半導体チップ90を有する。半導体装置2は、電極102を有し、第1の半導体チップ90における電極92が形成された側とは反対側にフェースアップボンディングされてなる第2の半導体チップ100を有する。また、半導体装置2は、少なくとも第1の半導体チップ90側面を通りるように形成されてなる導電層110を有する。

【0064】

図6には、上述の実施の形態に係る半導体装置1を実装した回路基板1000が示されている。また、本発明の実施の形態に係る半導体装置を有する電子機器として、図7にはノート型パーソナルコンピュータ2000が示され、図8には携帯電話3000が示されている。

【0065】

本発明は、上述した実施の形態に限定されるものではなく、種々の変形が可能である。例えば、本発明は、実施の形態で説明した構成と実質的に同一の構成（例えば、機能、方法及び結果が同一の構成、あるいは目的及び結果が同一の構成）を含む。また、本発明は、実施の形態で説明した構成の本質的でない部分を置き換えた構成を含む。また、本発明は、実施の形態で説明した構成と同一の作用効果を奏する構成又は同一の目的を達成することができる構成を含む。また、本発明は、実施の形態で説明した構成に公知技術を付加した構成を含む。

【図面の簡単な説明】

【図1】

図1は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図2】

図2は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図3】

図3は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図4】

図4は、本発明を適用した第1の実施の形態に係る半導体装置の製造方法を示す図である。

【図5】

図5は、本発明を適用した第2の実施の形態に係る半導体装置の製造方法を示す図である。

【図6】

図6は、本発明の実施の形態に係る回路基板を示す図である。

【図7】

図7は、本発明の実施の形態に係る電子機器を示す図である。

【図8】

図8は、本発明の実施の形態に係る電子機器を示す図である。

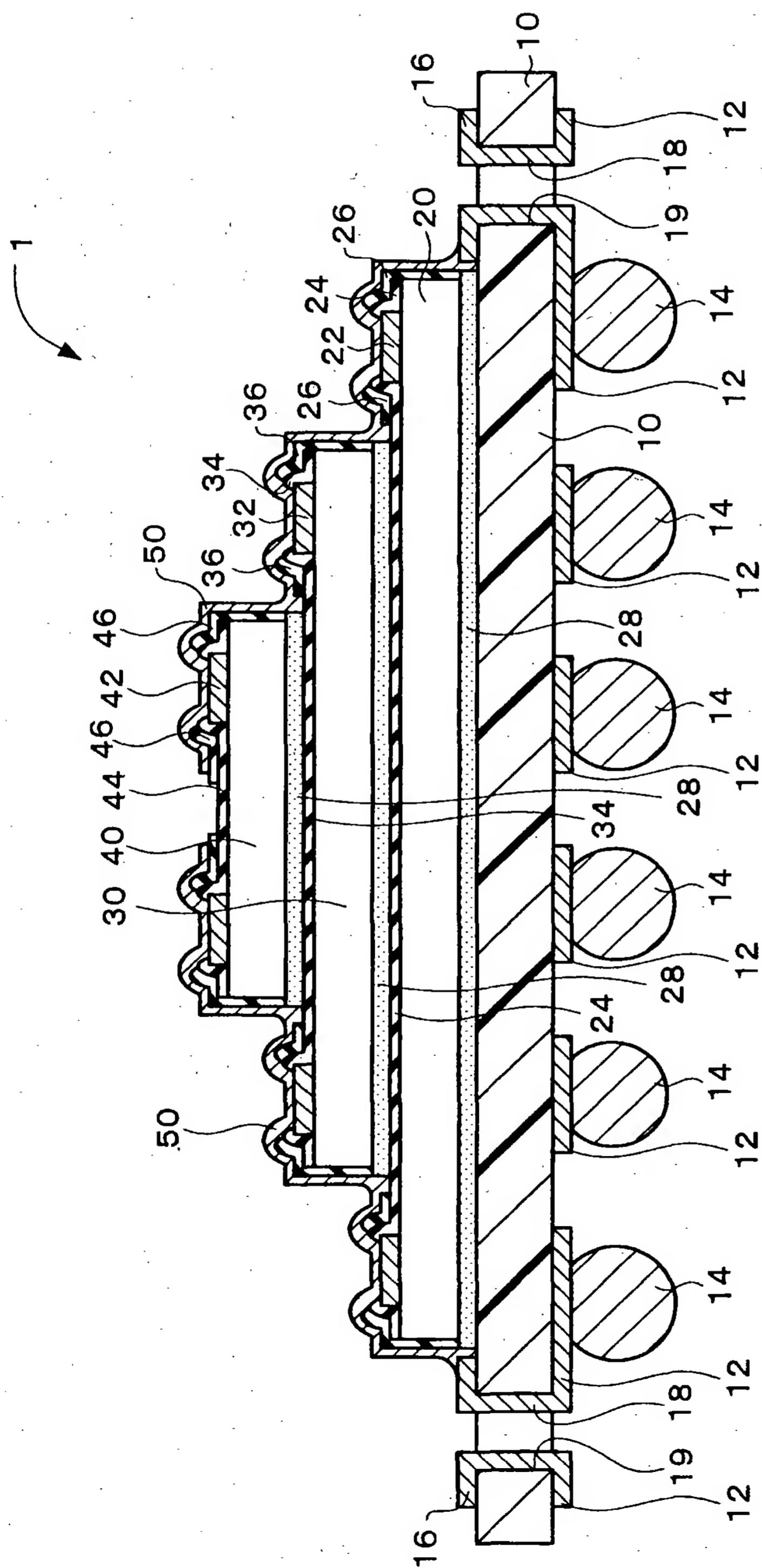
【符号の説明】

- 10 基板
- 12 配線パターン
- 13 配線パターン
- 14 外部端子
- 20 半導体チップ（第1の半導体チップ）
- 22 電極
- 30 半導体チップ（第2の半導体チップ）
- 32 電極
- 40 半導体チップ
- 42 電極
- 50 導電層

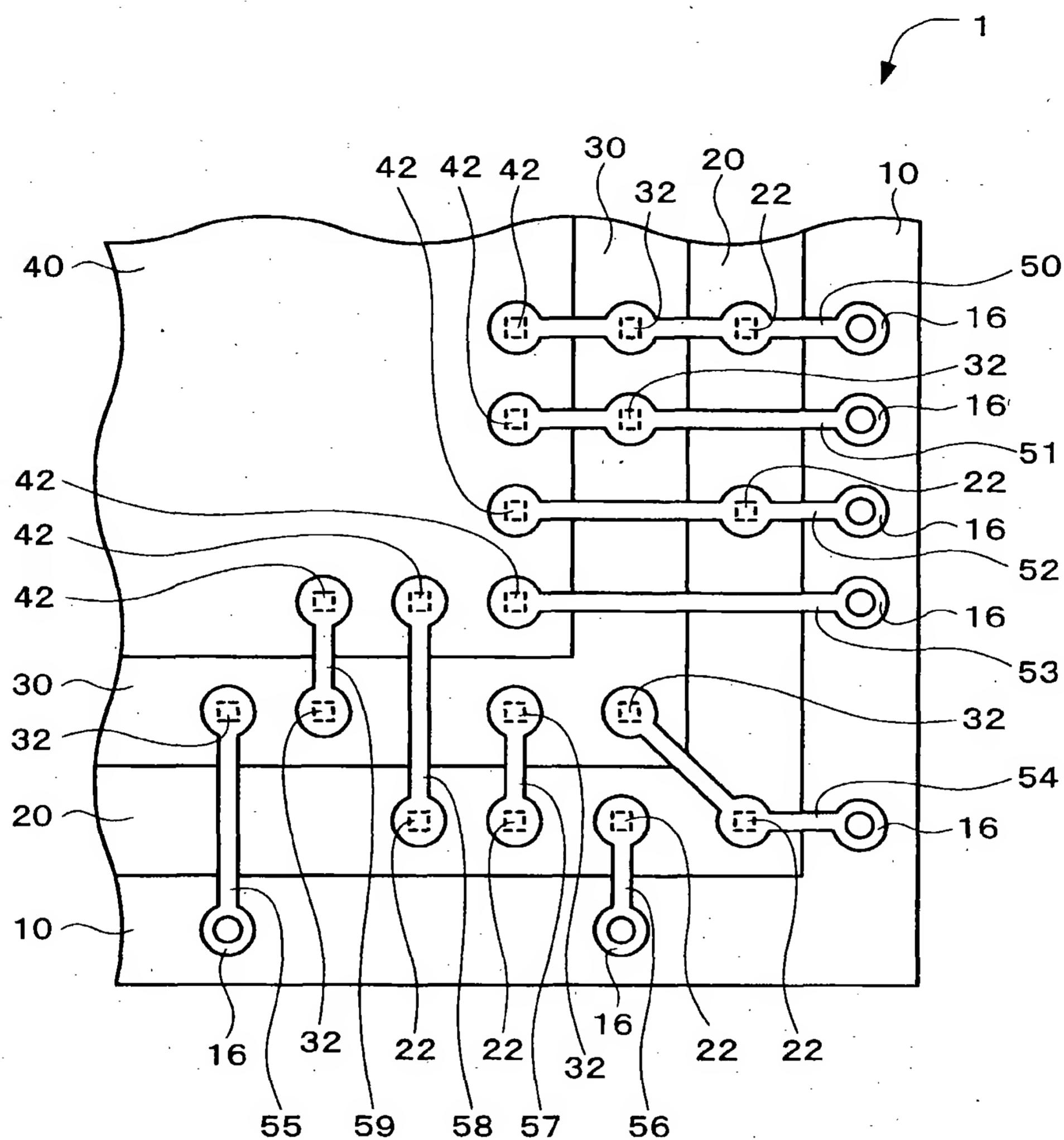
- 5 1 導電層
- 5 2 導電層
- 5 3 導電層
- 5 4 導電層
- 5 5 導電層
- 5 6 導電層
- 5 7 第2の導電層
- 5 8 第2の導電層
- 5 9 第2の導電層
- 9 0 半導体チップ（第1の半導体チップ）
- 9 2 電極
- 1 0 0 半導体チップ（第2の半導体チップ）
- 1 0 2 電極
- 1 1 0 導電層

【書類名】 図面

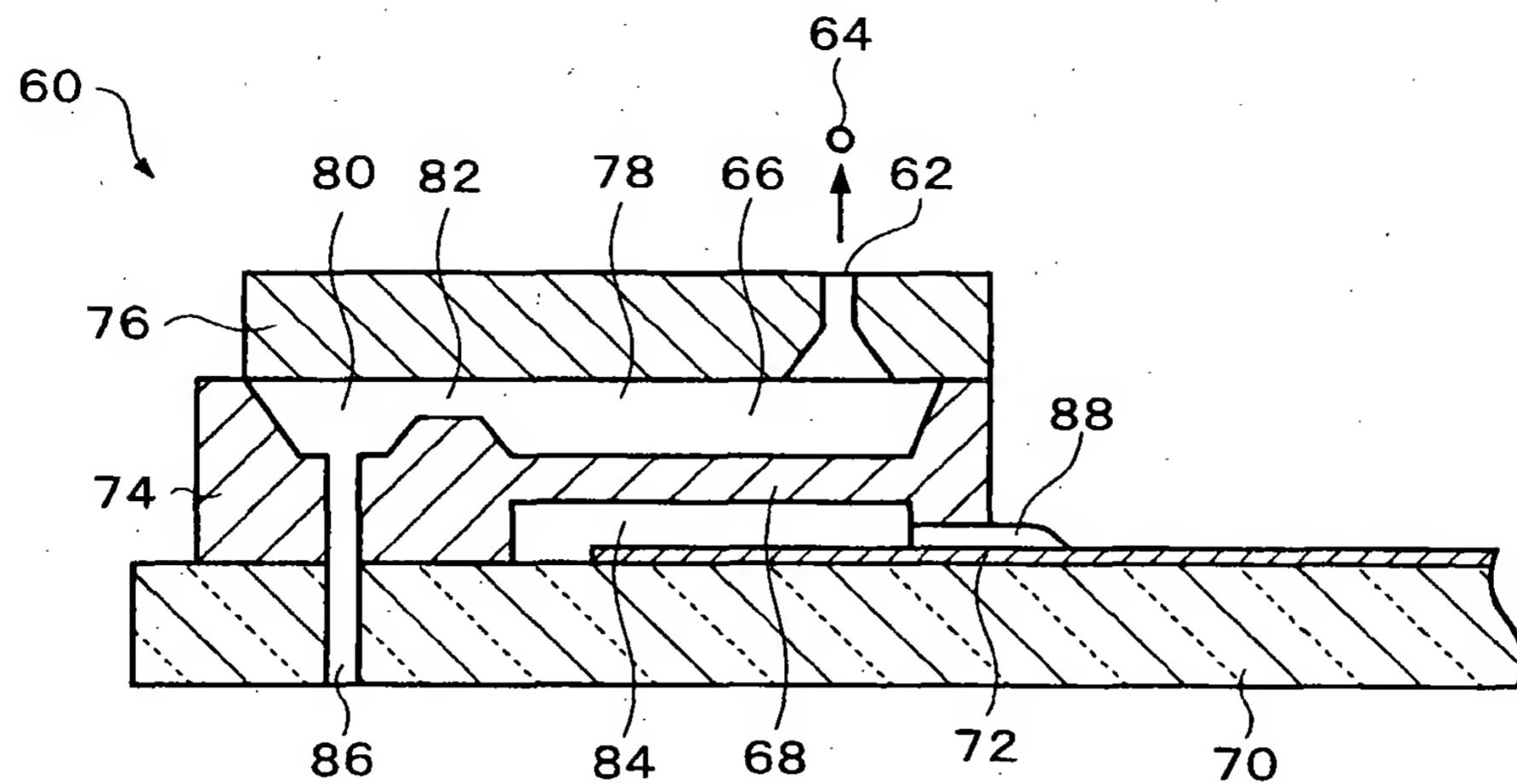
【図1】



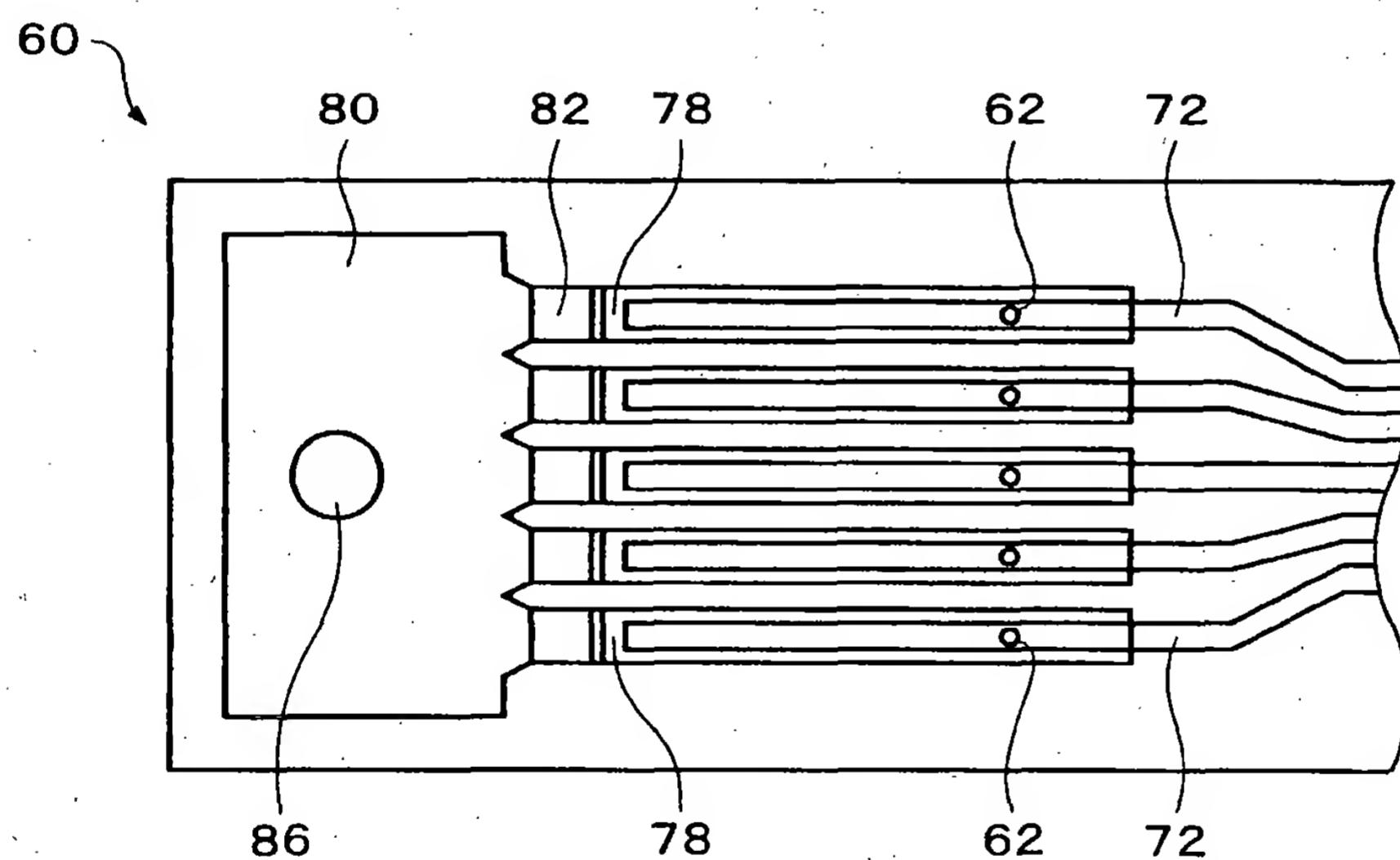
【図2】



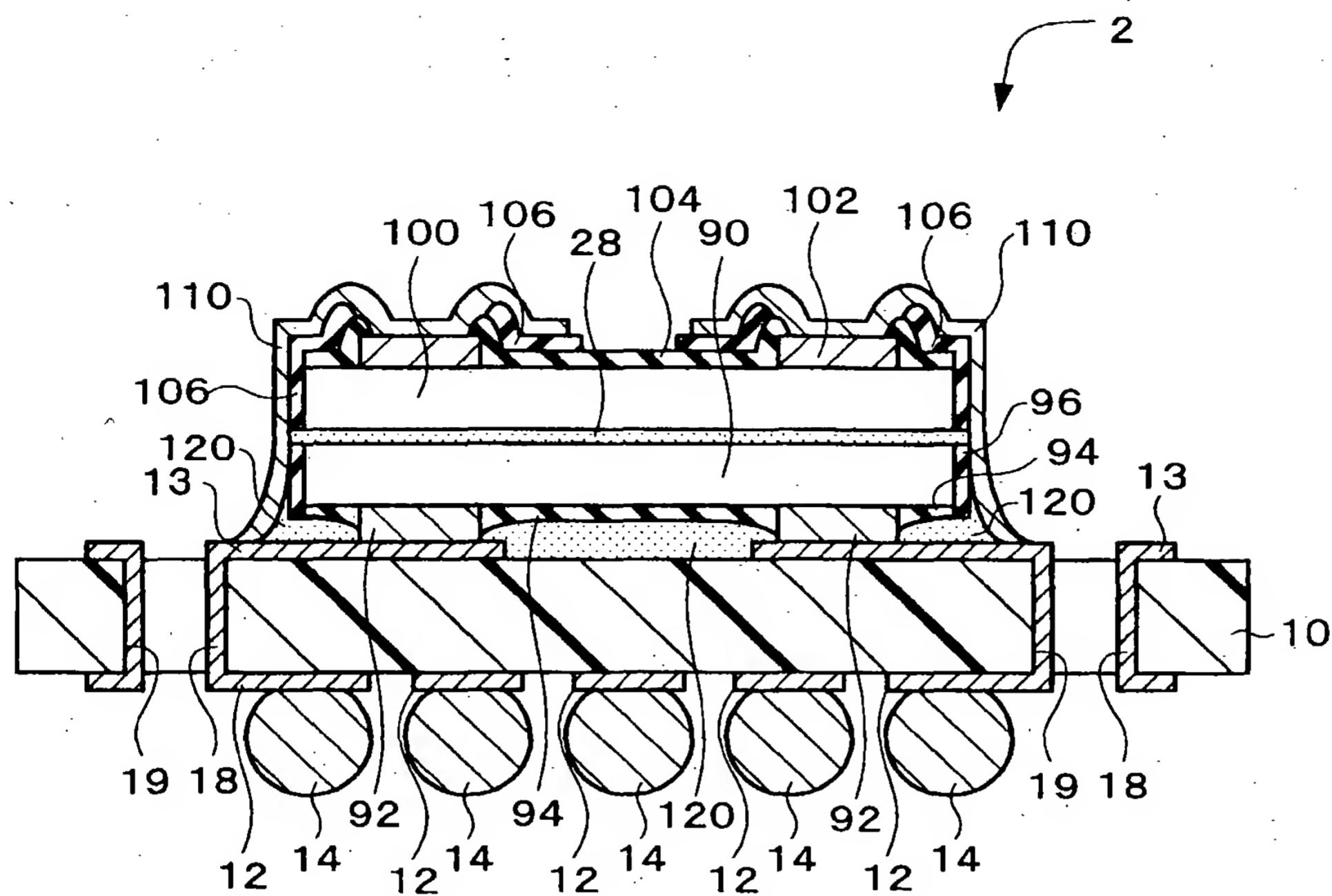
【図3】



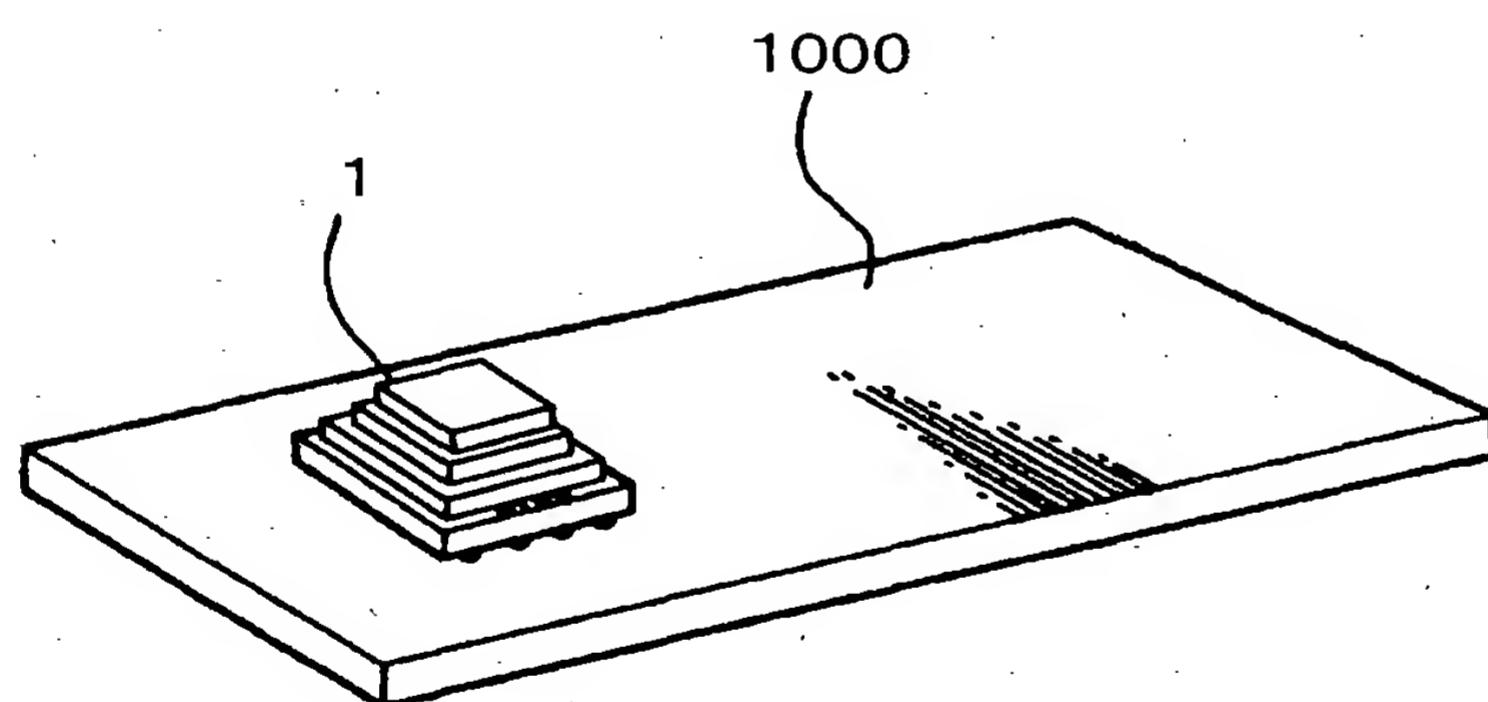
【図4】



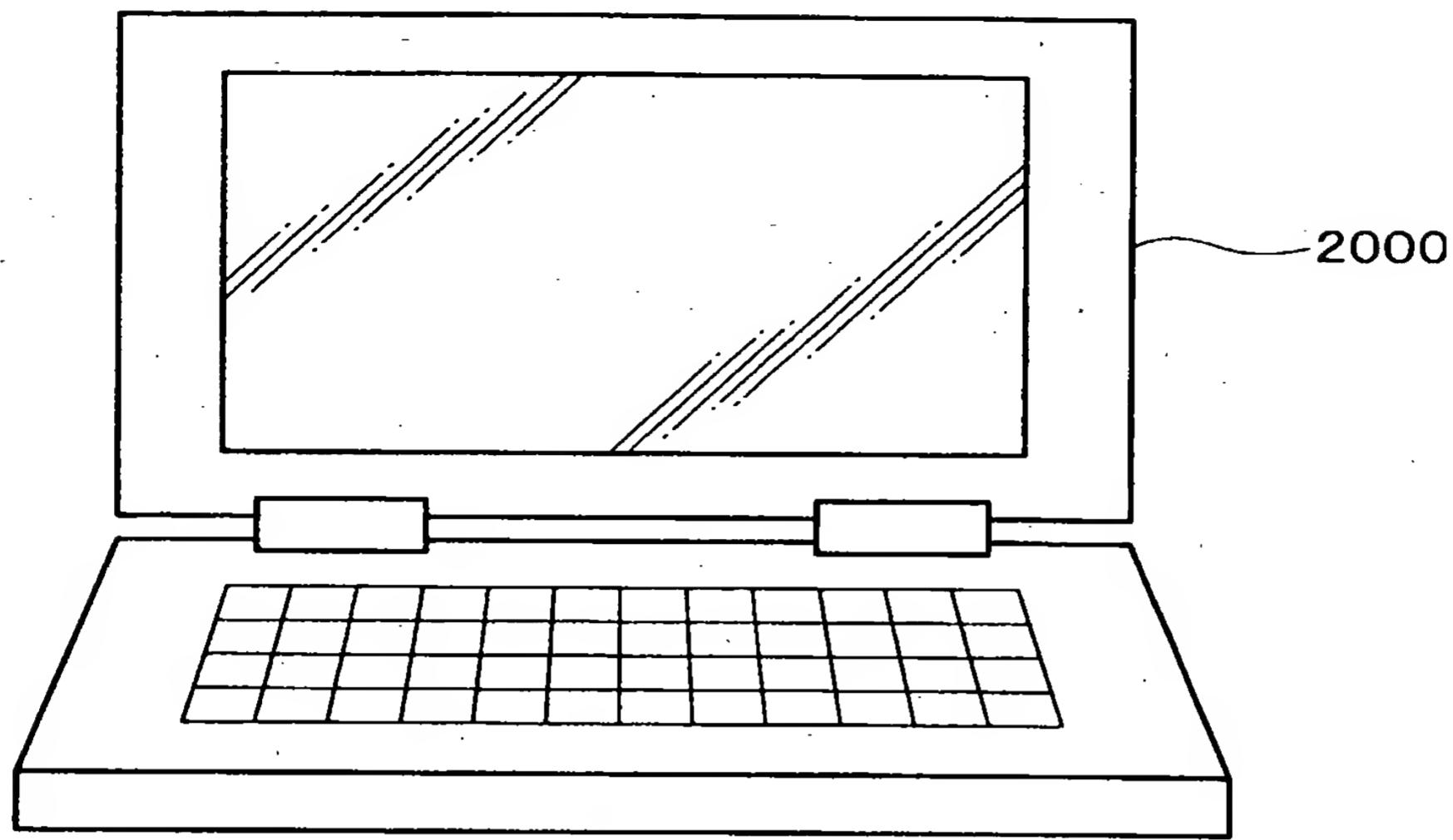
【図5】



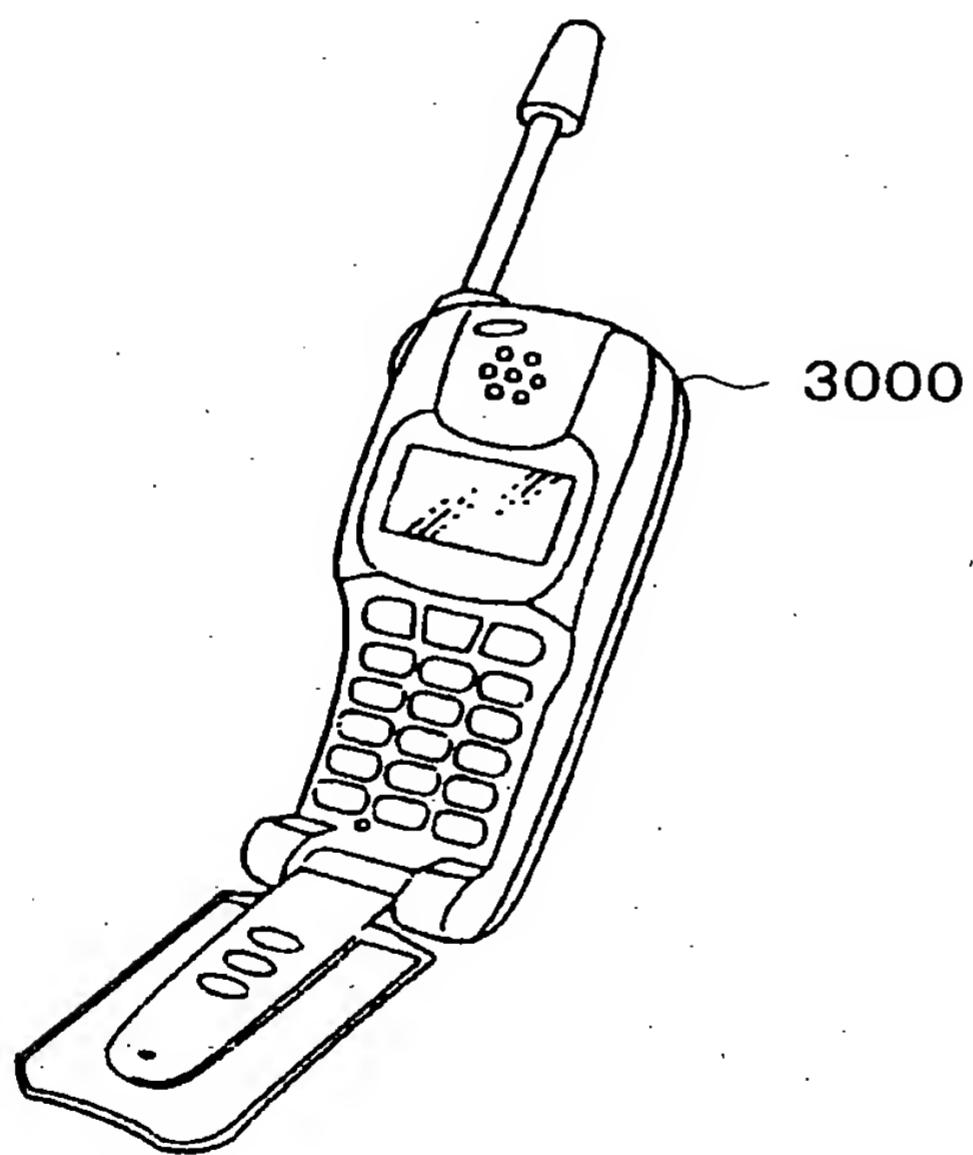
【図6】



【図7】



【図8】



【書類名】 要約書

【要約】

【課題】 実装性に優れた半導体装置及びその製造方法、回路基板並びに電子機器を提供することにある

【解決手段】 半導体装置の製造方法は、配線パターン12を有する基板10に電極22を有する半導体チップ20を搭載し、電極22と配線パターン12とを電気的に接続する導電層50を、半導体チップ20の側面を通りるように形成することを含む。

【選択図】 図1

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社